

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1002 U.S. PRO
10/032185
12/21/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年12月28日

出 願 番 号
Application Number:

特願2000-399841

出 願 人
Applicant(s):

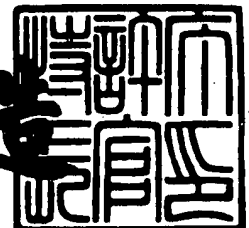
コニカ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】	特許願
【整理番号】	DIJ02306
【提出日】	平成12年12月28日
【あて先】	特許庁長官殿
【国際特許分類】	H04N 1/00
【発明の名称】	クロック発生回路および画像形成装置
【請求項の数】	6
【発明者】	
【住所又は居所】	東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内
【氏名】	泉宮 賢二
【発明者】	
【住所又は居所】	東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内
【氏名】	丸山 宏之
【発明者】	
【住所又は居所】	東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内
【氏名】	植田 忠行
【発明者】	
【住所又は居所】	東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内
【氏名】	奥富 隆治
【発明者】	
【住所又は居所】	東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内
【氏名】	岸 忍
【発明者】	
【住所又は居所】	東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内
【氏名】	小片 智史
【発明者】	
【住所又は居所】	東京都八王子市石川町 2 9 7 0 番地 コニカ株式会社内
【氏名】	西川 英史

【特許出願人】

【識別番号】 000001270

【氏名又は名称】 コニカ株式会社

【代理人】

【識別番号】 100085187

【弁理士】

【氏名又は名称】 井島 藤治

【選任した代理人】

【識別番号】 100090424

【弁理士】

【氏名又は名称】 鮫島 信重

【手数料の表示】

【予納台帳番号】 009542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004575

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック発生回路および画像形成装置

【特許請求の範囲】

【請求項 1】 基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、クロックの周期をわずかに増加もしくは減少させて、書込手段による一定の露光範囲において所定時間内に発生するドットクロックのパルス数を所定数にした信号を生成するデジタルディレイ式ドットクロック調整手段と、

前記デジタルディレイ式ドットクロック調整手段からのドットクロックを分周した後に通倍することでドットクロックに含まれるジッタ成分を低減するジッタ低減手段と、

を備えたことを特徴とするクロック発生回路。

【請求項 2】 前記ジッタ低減手段は、

電圧制御型発振器と、

デジタルディレイ式ドットクロック調整手段からのドットクロックを分周する第一分周手段と、

前記電圧制御型発振器からのドットクロックを分周する第二分周手段と、

前記第一分周手段と前記第二分周手段との分周結果を周波数・位相比較して比較結果を前記電圧制御型発振器に供給する比較手段と、

を備えたことを特徴とする請求項 1 記載のクロック発生回路。

【請求項 3】 静電潜像またはトナー像を担持する像担持体と、前記像担持体上を回転多面鏡によって偏向した走査光で走査する書込手段と、ドットクロックを用いて画像データに応じてパルス幅変調または光強度変調された走査点灯信号を生成して前記書込手段に供給する変調手段と、前記像担持体上に走査光で形成された静電潜像を顕像化してトナー像とする現像手段と、前記像担持体上のトナー像を転写材に転写する転写手段と、前記転写材に転写されたトナー像を定着する定着手段と、を備えた画像形成装置であって、

基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、クロックの周期を

わずかに増加もしくは減少させて、書込手段による一定の露光範囲において所定時間内に発生するドットクロックのパルス数を所定数にした信号を生成するデジタルディレイ式ドットクロック調整手段と、

前記デジタルディレイ式ドットクロック調整手段からのドットクロックを分周した後に通倍することでドットクロックに含まれるジッタ成分を低減するジッタ低減手段と、

を備えたことを特徴とする画像形成装置。

【請求項 4】 前記ジッタ低減手段は、

電圧制御型発振器と、

デジタルディレイ式ドットクロック調整手段からのドットクロックを分周する第一分周手段と、

前記電圧制御型発振器からのドットクロックを分周する第二分周手段と、

前記第一分周手段と前記第二分周手段との分周結果を周波数・位相比較して比較結果を前記電圧制御型発振器に供給する比較手段と、

を備えたことを特徴とする請求項 3 記載の画像形成装置。

【請求項 5】 前記書込手段と前記デジタルディレイ式ドットクロック調整手段と前記ジッタ除去手段とを複数の色毎に有する、

ことを特徴とする請求項 3 または請求項 4 のいずれかに記載の画像形成装置。

【請求項 6】 転写材の両面に画像形成を行うための両面画像形成手段を有する、

ことを特徴とする請求項 3 乃至請求項 5 のいずれかに記載の画像形成装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明はクロック発生回路および画像形成装置に関し、さらに詳しくは、所定時間内に基準信号のパルス数が所定数になるように調整することが可能なクロック発生回路および画像形成装置に関する。

【0 0 0 2】

【従来の技術】

画像形成装置では、画像データに応じて変調したレーザビームを主走査方向に走査し、副走査方向に回転する像担持体上に画像を形成している。この場合に、ドットクロックと呼ばれる基準信号を基準にして、レーザビームを画像データで変調している。

【0003】

したがって、所定のドットクロック数に応じて、像担持体上に形成される主走査方向における画像の長さが常に一定になるようなドットクロックが生じる必要がある。

【0004】

また、近年では記録紙上にカラー画像を得るために像担持体近傍に帯電、露光、現像の各手段を有するユニットを複数備えて、像担持体の1回転内に像担持体上にカラートナー像を形成し、一括して記録紙上に転写を行うカラー画像形成装置が開発されている。また、中間転写体近傍に複数の像担持体を有し、各像担持体の周囲に帯電、露光、現像、転写手段を備え、各像担持体上に形成されたトナー像を中間転写体に順次転写して行き、中間転写体に担持されたカラートナー像を一括して転写紙上に転写を行うカラー画像形成装置も開発されている。

【0005】

【発明が解決しようとする課題】

前者のような画像形成装置において、主走査を行うポリゴンミラーの回転数の変動や、光学系の収差などによって、所定のドットクロック数に応じて像担持体上に形成される画像の長さがばらつく場合がある。

【0006】

また、後者のように複数の露光手段を用いて像担持体上または中間転写体上にカラートナー像を形成するようなカラー画像形成装置においては、各露光手段のポリゴンミラーやレンズ等の光学系の個体差によって各露光手段間において像担持体上に形成される主走査方向における画像の長さにばらつきを生じ、それが原因となって色ずれが生じる。

【0007】

以上のような場合、ドットクロックの立ち上がりのタイミング（位相）や周波

数を微妙に調整できることが好ましい。

このような位相や周波数の調整を可能にする回路として、VCXO（電圧制御型水晶発振器）やDDS（ディジタルダイレクトシンセサイザ）などが知られている。

【0008】

ここで、VCXOは精度の点では問題がないが、調整範囲が狭いためドットクロックの生成の用途には不向きである。また、DDSは精度の点では問題ないが、回路が高価であり、また、ドットクロックの高速化に不向きである。

【0009】

また、一般的なPLLを用いてクロックの微細な調整を行う場合、分周比を大きくとる必要があるためにPLLループが長くなり、VCOの周波数安定性に依る長期のクロックジッタが問題になる。ここで、長期のクロックジッタ（長期ジッタ）とは、PLLフィードバックの時間が長くなり、フィードバック直後から、次のフィードバックまでの間に徐々にVCOの周波数がずれてくる現象を、このように呼んでいる。

【0010】

なお、本件出願人が別途出願している技術で、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、クロックの周期をわずかに増加もしくは減少させて、書込手段による一定の露光範囲において所定時間内に発生するドットクロックのパルス数を所定数にした信号を生成する技術が存在している。この技術を用いることで、主走査方向の走査線の画像の長さを一定に保つことが可能になる。

【0011】

しかし、この技術を用いると、ドットクロックの周期を増加あるいは減少させるポイント（複数の遅延クロックの選択を変更するポイント）でクロック周期の変動（短期ジッタ：以下、これを単に「ジッタ」と呼ぶ）が発生する。すなわち、1走査線の期間の間でドットクロックの周期が段階的に増加または減少することになり、画像の形成に悪影響を与える問題があった。

【0012】

また、カラーの画像形成装置の場合には、各色の露光ユニットのばらつき、ユニット取付精度のばらつきなどにより、感光体での露光幅が異なったものになりやすい。このため、各色の書込手段で一定の露光範囲にドットクロックのパルスを所定数にする必要がある。また、両面画像形成においては、先に画像形成された転写材（記録紙）面が定着の熱によって縮むため、裏面では露光範囲を縮める必要がある。

【0013】

このような場合に、一定の露光範囲でのドットクロックのパルス数を所定数にすることで、画像の両端は揃うことになるが、各色で異なるポイントで切り換えることによって異なるポイントでジッタが発生すると、そのジッタ部分で色ムラが発生して画像に悪影響を与えることになる。

【0014】

本発明は、上記の課題を解決するためになされたものであって、その目的は、簡易な回路構成で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成した場合に、クロック周期を切り換えるポイントでのジッタの影響を低減することが可能なクロック発生回路および画像形成装置を提供することにある。

【0015】

【課題を解決するための手段】

すなわち、課題を解決する手段としての本発明は以下に説明するようなものである。

【0016】

（1）請求項1記載の発明は、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、クロックの周期をわずかに増加もしくは減少させて、書込手段による一定の露光範囲において所定時間内に発生するドットクロックのパルス数を所定数にした信号を生成するデジタルディレイ式ドットクロック調整手段と、前記デジタルディレイ式ドットクロック調整手段からのドットクロックを分周した後に通倍することでドットクロックに含まれるジッタ成分を低減するジッタ低

減手段と、を備えたことを特徴とするクロック発生回路である。

【0017】

この発明では、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、クロックの周期をわずかに増加もしくは減少させて、書込手段による一定の露光範囲において所定時間内に発生するドットクロックのパルス数を所定数にし、さらに、この所定数に調整されたドットクロックを分周し、分周後に通倍して所望の周波数のドットクロックを生成する。

【0018】

この場合、クロックの周期をわずかに増加もしくは減少させることによりジッタが発生するが、分周することにより、分周比に応じてジッタの影響が分散される。そして、分周によりジッタの影響が低減された信号を通倍して所望のドットクロックを生成することで、パルス数は所定数に調整されており、その調整の際に生じるジッタの影響は分周比に応じて低減されている。

【0019】

この結果、簡易な回路構成で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成した場合に、クロック周期を切り換えるポイントでのジッタの影響を低減することが可能になる。

【0020】

(2) 請求項2記載の発明は、前記ジッタ低減手段は、電圧制御型発振器と、デジタルディレイ式ドットクロック調整手段からのドットクロックを分周する第一分周手段と、前記電圧制御型発振器からのドットクロックを分周する第二分周手段と、前記第一分周手段と前記第二分周手段との分周結果を周波数・位相比較して比較結果を前記電圧制御型発振器に供給する比較手段と、を備えたことを特徴とする請求項1記載のクロック発生回路である。

【0021】

この発明では、上述したジッタ低減のための分周と通倍とのために、分周手段と比較手段と電圧制御型発振器とからなるPLL回路を使用している。

この場合、クロックの周期をわずかに増加もしくは減少させることにより発生

したジッタは、第一分周手段によって分散され低減される。そして、電圧制御型発振器によって所望の周波数のドットクロックが生成される。

【 0 0 2 2 】

この結果、デジタルディレイ式ドットクロック調整手段と P L L 回路との組み合わせによる簡易な回路構成で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成しつつ、クロック周期を切り換えるポイントでのジッタの影響を低減することが可能になる。

【 0 0 2 3 】

(3) 請求項 3 記載の発明は、静電潜像またはトナー像を担持する像担持体と、前記像担持体上を回転多面鏡によって偏向した走査光で走査する書込手段と、ドットクロックを用いて画像データに応じてパルス幅変調または光強度変調された走査点灯信号を生成して前記書込手段に供給する変調手段と、前記像担持体上に走査光で形成された静電潜像を顕像化してトナー像とする現像手段と、前記像担持体上のトナー像を転写材に転写する転写手段と、前記転写材に転写されたトナー像を定着する定着手段と、を備えた画像形成装置であって、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、クロックの周期をわずかに増加もしくは減少させて、書込手段による一定の露光範囲において所定時間内に発生するドットクロックのパルス数を所定数にした信号を生成するデジタルディレイ式ドットクロック調整手段と、前記デジタルディレイ式ドットクロック調整手段からのドットクロックを分周した後に通倍することでドットクロックに含まれるジッタ成分を低減するジッタ低減手段と、を備えたことを特徴とする画像形成装置である。

【 0 0 2 4 】

この発明では、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、クロックの周期をわずかに増加もしくは減少させて、書込手段による一定の露光範囲において所定時間内に発生するドットクロックのパルス数を所定数にし、さらに、この所定数に調整されたドットクロックを分周し、分周後に通倍して所望の

周波数のドットクロックを生成する。

【 0 0 2 5 】

この場合、クロックの周期をわずかに増加もしくは減少させることによりジッタが発生するが、分周することにより、分周比に応じてジッタの影響が分散される。そして、分周によりジッタの影響が低減された信号を逡倍して所望のドットクロックを生成することで、パルス数は所定数に調整されており、その調整の際に生じるジッタの影響は分周比に応じて低減されている。

【 0 0 2 6 】

この結果、簡易な回路構成で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成した場合に、クロック周期を切り換えるポイントでのジッタの影響を低減することが可能になる。

【 0 0 2 7 】

(4) 請求項4記載の発明は、前記ジッタ低減手段は、電圧制御型発振器と、デジタルディレイ式ドットクロック調整手段からのドットクロックを分周する第一分周手段と、前記電圧制御型発振器からのドットクロックを分周する第二分周手段と、前記第一分周手段と前記第二分周手段との分周結果を周波数・位相比較して比較結果を前記電圧制御型発振器に供給する比較手段と、を備えたことを特徴とする請求項3記載の画像形成装置である。

【 0 0 2 8 】

この発明では、上述したジッタ低減のための分周と逡倍とのために、分周手段と比較手段と電圧制御型発振器とからなるPLL回路を使用している。

この場合、クロックの周期をわずかに増加もしくは減少させることにより発生したジッタは、第一分周手段によって分散され低減される。そして、電圧制御型発振器によって所望の周波数のドットクロックが生成される。

【 0 0 2 9 】

この結果、デジタルディレイ式ドットクロック調整手段とPLL回路との組み合わせによる簡易な回路構成で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成しつつ、クロック周期を切り換えるポイントでのジッタの影響を低減することが可能になる。

【 0 0 3 0 】

(5) 請求項5記載の発明は、前記書込手段と前記デジタルディレイ式ドットクロック調整手段と前記ジッタ除去手段とを複数の色毎に有する、ことを特徴とする請求項3または請求項4のいずれかに記載の画像形成装置である。

【 0 0 3 1 】

この発明では、デジタルディレイ式ドットクロック調整手段とジッタ除去手段とを、書込手段に応じて複数設けているので、複数色の画像形成装置におけるジッタに起因する色ムラなどの画質低下を防止することができる。

【 0 0 3 2 】

(6) 請求項6記載の発明は、転写材の両面に画像形成を行うための両面画像形成手段を有する、ことを特徴とする請求項3乃至請求項5のいずれかに記載の画像形成装置である。

【 0 0 3 3 】

この発明では、両面画像形成を行う画像形成装置にデジタルディレイ式ドットクロック調整手段とジッタ除去手段とを設けているので、両面の画像形成装置における表裏の画像のズレ調整に応じて発生しやすいジッタに起因する色ムラなどの画質低下を防止することができる。

【 0 0 3 4 】

【発明の実施の形態】

以下、図面を参照して、本発明の画像形成装置の実施の形態例を詳細に説明する。なお、クロック発生回路を用いた画像形成装置に関し、先に画像形成装置の全体を説明しておく。

【 0 0 3 5 】

〈画像形成装置の全体構成〉

図2は本発明の実施の形態例の電氣的な全体構成を示す構成図である。この図2において、1は画像が形成される像担持体、200は後述するドットクロックを発生するための制御手段としてのCPU、210は像担持体1に形成される所定の画像からの反射光を読み取ってズレを検出するための色ずれ検知センサ、250はドットクロックに応じて画像信号を読み出し、画像信号の信号値に応じた

パワーのレーザビームを像担持体 1 に対して出力する Y 露光ユニット、270 はドットクロックに応じて画像信号を読み出し、画像信号の信号値に応じたパワーのレーザビームを像担持体 1 に対して出力する M 露光ユニット、290 はドットクロックに応じて画像信号を読み出し、画像信号の信号値に応じたパワーのレーザビームを像担持体 1 に対して出力する C 露光ユニット、310 はドットクロックに応じて画像信号を読み出し、画像信号の信号値に応じたパワーのレーザビームを像担持体 1 に対して出力する K 露光ユニットである。なお、本実施の形態例のクロック発生回路は、各色の露光ユニット内部に設けられている。

【0036】

〈画像形成装置の機械的全体構成〉

ここで、本発明の一実施の形態例のクロック発生回路と画像形成装置を適用することが可能なカラー画像形成装置の機械的な構成図である図 3 を用いて、カラー画像形成装置の全体構成を説明する。

【0037】

なお、本実施の形態例の画像形成装置は、多色の画像形成装置であり、ここでは、Y (イエロー)、M (マゼンタ)、C (シアン)、K (黒) の 4 色のトナーを使用するカラー画像形成装置を例にする。

【0038】

最初に、上ローラ 3 と下ローラ 5 と横ローラ 7 とに巻回された無端ベルト状の像担持体 (感光体) 1 は、上ローラ 3 と下ローラ 5 とにより上下方向に張架され、図中の矢印 I 方向に駆動される。さらに、像担持体 1 が下から上へ移動する面には、像担持体 1 によって形成された閉空間方向に像担持体 1 を押圧し、像担持体 1 を閉空間方向に案内するガイド手段としての押圧ローラ 9 が設けられている。

【0039】

像担持体 1 が下から上へ移動する面の上部には、像担持体 1 に摺接し、像担持体 1 上の現像剤を除去するクリーニング手段 11 が設けられている。クリーニング手段 11 の下方には、クリーニング手段 11 によって除去された現像剤を捕集する捕集手段としての回収ボックス 21 が像担持体 1 に沿って設けられている。

【0040】

次に、像担持体 1 に対して潜像を形成する潜像形成手段の説明を行なう。本実施の形態例の画像形成装置は、4 色のカラー画像形成装置であるので、各色に応じて四つの潜像形成手段を有している。すなわち、像担持体 1 に対してレーザ光を用いて Y (イエロー) 用の潜像を形成する Y 光学書き込み部 2 5 と、像担持体 1 に対してレーザ光を用いて M (マゼンタ) 用の潜像を形成する M 光学書き込み部 2 7 と、像担持体 1 に対してレーザ光を用いて C (シアン) 用の潜像を形成する C 光学書き込み部 3 1 と、像担持体 1 に対してレーザ光を用いて K (黒) 用の潜像を形成する K 光学書き込み部である。

【 0 0 4 1 】

次に、現像器の説明を行なう。像担持体 1 上に形成された各色の静電潜像を現像する四つの現像器が設けられている。すなわち、Y 光学書き込み部 2 5 で形成された潜像を現像する Y 現像器 4 2 と、M 光学書き込み部 2 7 で形成された潜像を現像する M 現像器 4 3 と、C 光学書き込み部 2 9 で形成された潜像を現像する C 現像器 4 5 と、K 光学書き込み部 3 1 で形成された潜像を現像する K 現像器 4 7 である。

【 0 0 4 2 】

また、各色の現像器 4 2, 4 3, 4 5, 4 7 に対応して、像担持体 1 に電荷を付与する帯電手段の帯電極が設けられている。すなわち、Y 用の帯電極 6 1 と、M 用の帯電極 6 3 と、C 用の帯電極 6 5 と、K 用の帯電極 6 7 である。さらに、本実施の形態例の各色の帯電手段は、像担持体 1 上の帯電電位を制御するグリッド 7 1, 7 3, 7 5, 7 7 を有している。

【 0 0 4 3 】

8 1 は給紙部で、転写材としての転写紙 P が収納されたカセット 8 3 が設けられている。このカセット 8 3 の転写紙 P は、搬送ローラ 8 5 により搬出され、搬送ローラ対 8 7, レジストローラ 8 8 により挟持搬送され、転写手段 9 1 に給送される。転写手段 9 1 には、像担持体 1 と異なる極性の電位に保たれた転写ローラ 9 2 が設けられ、この転写ローラ 9 2 は横ローラ 7 と協働して像担持体 1 を挟むように設けられている。

【 0 0 4 4 】

100は熱ローラ対101の挟着により、転写紙Pに熱、圧力を加え、トナーを転写紙Pに融着させる定着部、110は熱定着を終えた転写紙Pを排紙トレイ111まで挟持搬送する搬送ローラ対である。また、120は装置外に設けられた給紙部から搬送された別サイズの転写紙Pが通る給紙路である。

【0045】

次に、上記構成の画像形成装置の全体の動作を説明する。像担持体1が矢印I方向に駆動されると、帯電極61及びグリッド71からなるY用の帯電手段により、像担持体1上は所定の帯電電位となる。次に、Y光学書き込み部25により、像担持体1に静電潜像が形成される。そして、Y現像器42の現像スリーブ55に担持された現像剤中のトナーがクーロン力により像担持体1上に移動し、像担持体1上にトナー像が形成される。これと同様な動作を残りの色、すなわち、M、C、Kについて行い、像担持体1上のY、M、C、Kのトナー像を形成する。

【0046】

一方、給紙部81からは、転写紙Pが、搬送ローラ85、搬送ローラ対87によって転写手段91に向け給送される。給送された転写紙Pは、レジストローラ88により、像担持体1上のトナー画像とタイミング調整した上で、同期して転写手段91に給送され、転写手段91の転写ローラ92により帯電され、像担持体1上の現像剤像が転写紙Pに転写される。次に、転写紙Pは、定着部100で加熱、加圧され、トナーが転写紙Pに融着され、搬送ローラ対110により排紙トレイ111上に排出される。また、転写が終了した像担持体1上の余剰のトナーは、クリーニング手段11のブレード17により除去され、回収ボックス21内に貯留される。

【0047】

＜画像形成装置の光学的構成＞

なお、光学書き込み部の構成は、図4のようにになっている。すなわち、回路部480で生成された信号に基づいて、LD470が発光する。そして、LD470からのレーザビームは、コリメータレンズ491、シリンダリカルレンズ492を通った後にポリゴンミラー493で走査され、f θ レンズ494、シリンダ

リカルレンズ495を通過して像担持体1に書き込まれる。なお、ポリゴンミラーで走査されたレーザビームの一部はインデックスセンサ412に導かれて、タイミングが検出される。

【0048】

〈画像形成装置の詳細構成〉

以下、本発明の画像形成装置の実施の形態例を詳細に説明する。

図1は上述したY露光ユニット250、M露光ユニット270、C露光ユニット290、K露光ユニット310のそれぞれに内蔵されるクロック発生回路の回路構成を、CPU200などと共に示すブロック図である。なお、この図1では、クロック発生回路を一つのみ示すが、実際には同等なものがY・M・C・Kのそれぞれに存在しているものとする。

【0049】

この図1において、クロック発生回路は、ドットクロック発生部410とジッタ低減部420とに大別することができる。以下、ドットクロック発生部410とジッタ低減部420の構成を順に説明する。

【0050】

ドットクロック発生部410は、ディジタルディレイ式ドットクロック調整手段であり、以下のようにになっている。第1ディレイチェーン部413は入力信号（基準クロック発生部411からの基準クロック）を遅延させて位相が少しずつ異なる複数の遅延信号（第1遅延信号群：図1①）を得るためのディレイ素子群である。

【0051】

ここで、第1ディレイチェーン部413は、位相が少しずつ異なる遅延信号について、基準クロックの2周期分にわたって生成できる段数になるようにチェーン状にディレイ素子が縦続接続されていることが好ましい。

【0052】

なお、基準クロック発生部411は、各色のクロック発生回路にそれぞれ内蔵されていてもよいが、単一の基準クロック発生部411から各色それぞれのクロック発生回路に基準クロックを分配してもよい。

【0053】

また、インデックスセンサ412は、図4に示したように、レーザビームの走査における基準位置を検出するものである。

同期検出部414はインデックスセンサ412での検出信号を受け、第1遅延信号群（図1①）の中でインデックス信号に同期している遅延信号の段数（同期ポイント）を検出する検出手段であり、同期ポイント情報（図1②）を出力する。

【0054】

ここで、同期検出部414は、第1遅延信号群（図1①）の中で、最初にインデックス信号に同期している第1同期ポイント情報SP1と、2番目にインデックス信号に同期している第2同期ポイント情報SP2と、を出力できることが好ましい。

【0055】

同期切り替え部415は、同期検出部414からの同期ポイント情報（図1②）と、CPU200からの周波数ずれ情報（図1③）とに基づいて、同期補正量を求め、第1遅延信号群（図1①）の中からのどの位相の遅延信号を選択すべきかのセレクト信号（図1④）を出力するものである。なお、周波数ずれ情報については、後述する。

【0056】

セクタ416は同期切り替え部415からのセレクト信号（図1④）を受け、第1遅延信号群（図1①）の中から対応する位相の遅延信号を選択し、ドットクロック（図1⑤）として出力するものである。

【0057】

このようにして、ドットクロックの周期をわずかに増加もしくは減少させることで、所定時間内に発生するパルス数を所定数にした信号を生成するようにしている。すなわち、クロック周波数を微調整して合わせるのではなく、クロック周波数自体は変えずに、位相を細かく徐々に変えた遅延信号を所定時間内に順次選択することで、所定時間内のパルス数を所定数に合わせるようにしている。

【0058】

また、ジッタ低減部 4 2 0 は、以下のようになっている。分周部 4 2 0 a はドットクロック (図 1 ⑤) を所定の分周比で分周する分周器であり、分周されたドットクロック (図 1 ⑥) は通倍部 4 2 0 b にて所望の周波数のドットクロック (図 1 ⑧) に通倍されて外部の PWM 回路 (図示せず) などに出力される。

【 0 0 5 9 】

〈ドットクロック調整のためのずれ検出の原理〉

ここで、図 5 を参照してずれ検出の様子について簡単に説明する。露光ユニット 2 5 0, 2 7 0, 2 9 0, 3 1 0 により所定のパターン (ここでは、「フ」字状のパターン) の画像を、像担持体上の主走査方向末端側に形成する。像担持体上には実線で示すパターンが形成されているが、本来は破線で示すパターンが形成される予定であったとする。

【 0 0 6 0 】

ここでは、露光ユニットや各光学系の収差などにより、主走査方向に dx のずれが発生していることになる。この場合に、像担持体を副走査方向に移動させつつ、パターンを読み取れる位置に配置された色ずれ検知センサ 2 1 0 で読み取りを行うことで、「フ」字状のパターンの横線から斜線までの距離 Y' には dy のずれが含まれることになる。

【 0 0 6 1 】

横線と斜線とがなす角度を θ とすると、 $dx = dy / \tan \theta$ で求められる。さらに、像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差とにより、 dy を求めることもできる。

【 0 0 6 2 】

したがって、Y, M, C, K の各色について、このような所定のパターンの形成と読み取りとを、副走査方向には同じ位置であって主走査方向始端側と主走査方向末端側とで行うことで、CPU 2 0 0 が主走査方向の画像の伸び縮みに関するずれ状態 (周波数ずれ情報) を検出することが可能になる。

【 0 0 6 3 】

なお、図 5 では 1 つのパターンののみを示しているが、実際には 2 つ形成するようにする。

また、副走査方向には同じ位置であって、主走査方向始端側と主走査方向末端側とに同じ形状の「フ」字状のパターンを形成し、その間隔を測定することによっても、同様な主走査方向の画像の伸び縮みに関するずれ状態（周波数ずれ情報）を検出することができる。

【 0 0 6 4 】

このようにしてCPU 200が以上のような検出処理を行って周波数ずれ情報（図1③、図2③）として露光ユニットに供給する。

なお、同様にして、CPU 200は、主走査方向始端側で「フ」字状パターンの検出を実行することにより、主走査方向の画像の開始位置に関する画像先端ずれ情報を求め、この画像先端ずれ情報を露光ユニットに供給することも可能である。

【 0 0 6 5 】

＜画像形成装置の動作＞

つぎに、この実施の形態例の画像形成装置の動作の説明を行う。ここでは、Y，M，C，Kの4色の画像形成を行う画像形成装置に適用した場合を例にして説明を行う。

【 0 0 6 6 】

なお、この実施の形態例の画像形成装置を用いる画像形成装置は、Y露光ユニット250，M露光ユニット270，C露光ユニット290，K露光ユニット310を備えており、ベルト状の像担持体が1回転する間に4色の画像を形成する装置や、Y，M，C，Kの各色毎に露光ユニットと感光体ドラムとを備えていて1パスで画像形成を行う装置などが該当する。

【 0 0 6 7 】

すなわち、複数の露光ユニットを備えていて、同一の基準クロックを使用しても色ずれが発生する可能性のある画像形成装置であれば、このような形式以外の各種の画像形成装置に適用することが可能である。

【 0 0 6 8 】

＜デジタルディレイ式ドットクロック調整の動作＞

まず、図6のタイムチャートを参照し、ある特定の1色について、ずれ情報を

参照して、基準クロックのパルスのある時間毎にシフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるように調整する動作について、ドットクロックを発生するところまでを説明する。

【0069】

前述した所定パターンの形成と読み取りとによって検出されたずれERを示すずれ情報、基準クロックの周波数から求められるクロック周期TCのクロック周期情報、主走査方向に形成すべき画素数PHを示す1ライン画素数情報が、CPU200から同期切り替え部415内の補正量演算手段に与えられる。また、同期検出部414からの第1同期ポイント情報SP1と第2同期ポイント情報SP2とから、同期段数（基準クロック1周期分の遅延が得られる段数）NSを求める。

【0070】

ここで同期切り替え部415内の補正量演算手段は、以下の式に基づいて、補正量に対応する補正カウント値（カウントロードデータ）CCを求める。

$$CC = PH \times (NS / TC) / ER \quad \cdots \textcircled{1}$$

この補正カウント値CCは、同期切り替え部415内の切替カウント手段がカウントダウンしてセレクト信号および下位セレクト信号の切替を行うためのものである。したがって、補正量が大きいほど補正カウント値CCは小さくなる。

【0071】

また、同期検出部414はインデックスセンサ412からのインデックス信号の立ち上がりを参照して、このインデックス信号の立ち上がり同期した遅延信号が得られる第1ディレイチェーン部413の段数を同期ポイント情報として求める。

【0072】

ここでは、第1同期ポイント情報SP1として20が、第2同期ポイント情報SP2として50が得られたとする。なお、この場合には、上述した同期段数NSは30になる。

【0073】

ここで、露光ユニットのレーザビームの走査により、インデックスセンサがレーザビームを検出したタイミングでインデックス信号を発生する（図6（a）①）。この後、水平方向の有効領域を示すH_VALIDがアクティブになる。

【0074】

そして、同期切り替え部415内の切替カウント手段は前記補正カウント値Cを基準クロックに従ってカウントダウンすることを繰り返し続ける。そして、カウントダウンによりカウント値が0になる毎に同期切り替え部415内のセレクト信号演算手段443にカウントデータを割り込みとして与える（図6（d）～（f））。

【0075】

また、CPU200はずれ方向情報を同期切り替え部415内のセレクト信号演算手段に与えており、主走査方向に伸びたずれに対しては縮める補正を行うための「-補正」、主走査方向に縮んだずれに対しては伸ばす補正を行うための「+補正」の情報を与える。ここでは、「-補正」の場合を例にする。

【0076】

前述した所定パターンの形成とその測定により、ずれ情報ERおよびずれ方向情報が求められているとする。ここでは、 $ER = 6\text{ ns}$ 、ずれ方向情報＝「-補正」であり、すなわち、画像が伸びていたために縮ませるように補正することを示していたと仮定する。

【0077】

まず、同期検出部414がインデックスセンサ（図示せず）からのインデックス信号の立ち上がりを参照して、第1同期ポイント情報SP1及び第2同期ポイント情報SP2を求める。

【0078】

前記第1同期ポイント情報SP1はインデックス信号の立ち上がり同期した第1ディレイチェーン部413のディレイ素子の段数を示しており、前記第2同期ポイント情報SP2は前記第1同期ポイント情報SP1から基準クロック1周期分遅れた第1ディレイチェーン部413のディレイ素子の段数を示している。

【0079】

ここでは、 $SP1=20$ 、 $SP2=50$ であったとする。なお、この様子を図7に示す。ここでは、20段目のDL20（図7（c））と、このDL20からクロック1周期分遅れた50段目のDL50（図7（m））とが、インデックス信号の立ち上がり（図7（a））に同期している状態を示している。

【0080】

つぎに、前記第1同期ポイント情報SP1と第2同期ポイント情報SP2から、同期段数NSを求める。ここで、前記同期段数NSは、基準クロック1周期分の時間が何段のディレイ素子の遅延時間に相当するかを示している。本実施の形態例では、同期段数 $NS=SP2-SP1$ より、 $NS=30$ となる。

【0081】

また、1段あたりのディレイ素子の遅延時間DTを、前記NS及び基準クロックの周期から求める。たとえば、基準クロック周期TCが30nsであった場合は $NS=30$ であるので、 $DT=TC/NS$ より $DT=1ns$ となる。1段あたりのディレイ素子の遅延時間は、集積回路の温度状態や集積回路に供給される電源電圧の変動などに起因して変動するので、ある場合には1.5nsになったり、0.5nsになったりすることが考えられる。しかしながら、基準クロック周期TCは変化しないため、同期段数NSを求めることにより、測定時の1段あたりのディレイ素子の遅延時間を正確に求めることができる。

【0082】

そして、適正な画像信号を得るためには最終的にディレイ素子何段分ずらすかを示す補正カウント値CCを、ずれ情報ER、ずれ方向情報及び遅延時間DTから求める。ここでは、 $ER=6ns$ 、ずれ方向情報＝「－補正」、 $DT=1ns$ より、補正カウント値 $CC=-6$ となる。

【0083】

以上の補正カウント値CCより、適正な画像信号を得るためには最終的にディレイ素子の段数を6段分進めればよい。すなわち、インデックス信号の立ち上がりに同期して最初は50段目のディレイ素子からの信号を採用し、その後セレクト信号に同期して1走査ライン中において、49段目、48段目、47段目、46段目、45段目の信号に順次置き換えて採用していき、最終的には44段目か

らの信号を採用するようにすればよい。

【0084】

なお、補正量が同期段数より大きい場合には、セレクト信号を循環させるようにすればよい。上述した例で、 $SP1=20$ 、 $SP2=50$ 、同期段数30の場合の「-補正」では、セレクト信号が50, 49, ..., 21, 20, となった時点で、セレクト信号の20とセレクト信号の50とは等しい位相であるので、次は49, 48, ...とすればよい。すなわち、50, 49, ..., 21, 20 (=50), 49, 48..., となる。また、「+補正」においても同様にセレクト信号を循環させるようにすればよい。

【0085】

また、50, 47, 43, ..., 22, 19と3段ずつ「-補正」する場合には、 $SP1=20$ を超えることになるが、19の次には、 $50 - (20 - 19) - 3 = 46$ とする。すなわち、同期ポイントを超えた分と1つの補正量とを加えた状態にして循環させることで、問題なく循環させることができる。

【0086】

このようなセレクト信号を受けたセレクト416では、第1ディレイチェーン部413からの第1遅延信号群(図1①)の中から、50段目, 49段目, 48段目, 47段目, ...のように選択を行って、ドットクロックとして出力する(図6(g))。

【0087】

この場合には第1遅延信号群(図1①)の中から、50段目, 49段目, 48段目, 47段目, ...と選択することで、最初はインデックス信号に同期した遅延信号が得られ、徐々に遅延の少ない(位相が進んだ)遅延信号が得られる。この結果、「-補正」が実現され、主走査方向に伸びているずれを縮めるような補正が実行される。

【0088】

また、「+補正」の場合には、第1同期ポイント情報 $SP1$ を初期値として、第1遅延信号群(図1①)の中から、20段目, 21段目, 22段目, 23段目, ...と選択することで、最初はインデックス信号に同期した遅延信号が得られ、

徐々に遅延の少ない（位相が遅れた）遅延信号が得られる。この結果、「+補正」が実現され、主走査方向に縮んでいるずれを伸ばすような補正が実行される。

【0089】

すなわち、ずれ情報を参照して、基準クロックのパルスのある時間毎にシフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるような調整が行える。

【0090】

そして、以上の補正は、ずれ情報ER（周波数ずれ情報）に基づいた制御がなされているため、主走査方向の長さに関しては正確に調整される。

なお、以上の主走査方向の伸び縮みの補正（すなわち主走査倍率補正）の様子を模式的に示すと、図8のようになる。ここで、基準クロックと、基準クロックを遅延させた遅延信号（1遅延～9遅延）と、ドットクロックとを示している。

【0091】

この図8に示した場合、基準クロック4周期の間に1遅延、2遅延、3遅延、4遅延、5遅延、…と選択することで、4周期で3.5ドットクロックになる。すなわち、 $3.5/4 = 87.5\%$ であり、擬似的に周波数が低くなるように制御される。なお、他の選択の仕方を実行しても同様の結果が得られる。

【0092】

また、この図8の場合では8遅延が基準クロックと位相が一致しているため、基準クロック4周期の間に8遅延、7遅延、6遅延、5遅延、4遅延、…と選択することで、4周期で4.5ドットクロックになる（図示せず）。すなわち、 $4.5/4 = 112.5\%$ であり、擬似的に周波数が高くなるように制御される。なお、他の選択の仕方を実行しても同様の結果が得られる。

【0093】

〈ジッタ低減の動作〉

ところで、以上のようにして生成したドットクロックは、主走査方向の長さは揃うものの、遅延クロックの選択を変更する箇所でクロックの周期が異なるようになるため、ジッタが発生する。図6に示した例では、セレクト信号が切り替わるポイント（50→49、49→48、48→47、47→46、46→45、

45→44)の六箇所でジッタが発生することになる。

【0094】

そこで、ジッタ低減部420が、ドットクロックを分周(図1⑥)してジッタを分散させた後に、分散されたクロックを通倍して所望の周波数のドットクロック(図1⑧)を得るようにしている。

【0095】

すなわち、分周することによって得たドットクロックよりも幅広いパルスにジッタの影響を分散させ、さらに、その分周されたパルスを通倍することで、ジッタの影響を分周比に応じて分散させ、ジッタの大きさを分周比に応じて小さくすることが可能になる。

【0096】

ここでは、より具体的な回路構成を示す図9を参照してジッタ低減についての説明を行う。この図9は、分周と通倍とを行う上述したジッタ低減部420としてPLL回路を用いている。

【0097】

この図9において、ジッタ低減部420は、以下のように構成されている。
421はパルス数が所定数に調整されたドットクロックを分周する第一分周手段としての分周器、422は電圧制御型発振器からのドットクロックを分周する第二分周手段としての分周器、423は分周器421と分周器422との分周結果を周波数・位相比較して比較結果を出力する位相比較器、424は位相比較器423の出力を電圧制御型発振器の駆動電圧に変換するチャージポンプ、425は位相・周波数比較結果の電圧に応じた周波数の発振を行う電圧制御型発振器(VCO)、426は電圧制御型発振器425の出力を分周して所望の周波数のドットクロックを出力する第三の分周手段としての分周器である。

【0098】

以下、図9のブロック図と図10のタイムチャートを参照して、ジッタ低減の様子を説明する。

ここでは、ドットクロック調整部410によってドットクロック調整が実行されて、基本周期のパルスの周期が調整されてジッタが発生している様子を、図1

0 (a) 中央部分に示している。ここでは、ジッタ発生ポイントの前後に 2 パルスずつの合計 4 パルスが示されている。

【 0 0 9 9 】

ここでは、一例として分周器 4 2 1 が $1/4$ 分周器である場合を示しており、ドットクロック調整されたジッタを含むドットクロック (図 9 ⑤) の 4 パルス (図 1 0 (a)) は、分周器 4 2 1 により 1 パルスに分周される (図 1 0 (b))

【 0 1 0 0 】

なお、ここに示す例では、VCO 4 2 5 は所望のドットクロックの 1 0 倍近傍の周波数で発振しており、 $1/40$ 分周器である分周器 4 2 2 により分周されたパルス (図 9 ⑧') が出力される。

【 0 1 0 1 】

この分周器 4 2 1 の出力と分周器 4 2 2 の出力との周波数・位相比較結果 (図 9 ⑦) がチャージポンプ 4 2 4 で電圧に変換されて、VCO 4 2 5 の出力が変化する。そして、この変化した VCO 4 2 5 の出力が、 $1/10$ 分周器である分周器 4 2 6 で分周されて、所望の周波数のドットクロック (図 9 ⑨) が出力される。なお、分周器 4 2 6 は必ずしも必要ではないが、分周器 426 の分周比は、最終出力のクロックのデューティを 5 0 % にするために偶数とすることが望ましい

【 0 1 0 2 】

この場合、分周器 4 2 1 で $1/4$ 分周しているため、ジッタが 4 パルス分に分散されることで、最終的なドットクロック (図 9 ⑨) では、ジッタの大きさが $1/4$ に低減された状態になる。

【 0 1 0 3 】

すなわち、この場合、クロックの周期をわずかに増加もしくは減少させることによりジッタが発生するが、分周することにより、分周比に応じてジッタの影響が分散される。そして、分周によりジッタの影響が低減された信号を逡倍して所望のドットクロックを生成することで、パルス数は所定数に調整されており、その調整の際に生じるジッタの影響は分周比に応じて低減されている。

【0104】

この結果、簡易な回路構成で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成した場合に、クロック周期を切り換えるポイントでのジッタの影響を低減することが可能になる。

【0105】

また、この実施の形態例では、上述したジッタ低減のための分周と通倍とのために、分周手段と比較手段と電圧制御型発振器とからなるPLL回路を使用している結果、デジタルディレイ式ドットクロック調整手段とPLL回路との組み合わせによる簡易な回路構成で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成しつつ、クロック周期を切り換えるポイントでのジッタの影響を低減することが可能になる。

【0106】

以上のようにジッタ低減を行ったドットクロックで画像形成を行うことで、ジッタの影響による画質の劣化を生じない画像形成を行うことができる。

なお、モノクロ画像形成では濃度ムラの発生を抑えることができる。また、カラーの画像形成の場合には、各色の主走査倍率が異なる場合があり、そのような場合には異なる位置でジッタが発生し、露光量がわずかにずれて色ムラを生じる可能性があるが、ジッタの低減により、色ムラも解消できる。また、両面の画像形成の場合に、表面と裏面との主走査倍率が異なる場合にも、ジッタの影響を抑えた画像形成を行うことができる。

【0107】

なお、以上の実施の形態例の説明では書き込みユニットを4個備えた4色の画像形成装置について説明を行った。が、最低2色の場合に同様な処理を行って色ずれを解消することができる。また、さらに多くの書き込みユニットを備えた画像形成装置に用いることも可能である。

【0108】

【発明の効果】

以上詳細に説明したように、本発明では、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を

変更することによって、クロックの周期をわずかに増加もしくは減少させて、書込手段による一定の露光範囲において所定時間内に発生するドットクロックのパルス数を所定数にし、さらに、この所定数に調整されたドットクロックを分周し、分周後に通倍して所望の周波数のドットクロックを生成する。この場合、クロックの周期をわずかに増加もしくは減少させることによりジッタが発生するが、分周することにより、分周比に応じてジッタの影響が分散される。そして、分周によりジッタの影響が低減された信号を通倍して所望のドットクロックを生成することで、パルス数は所定数に調整されており、その調整の際に生じるジッタの影響は分周比に応じて低減されている。この結果、簡易な回路構成で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成した場合に、クロック周期を切り換えるポイントでのジッタの影響を低減することが可能になる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態例の画像形成装置の主要部の電氣的構成を示す構成図である。

【図 2】

本発明の一実施の形態例の画像形成装置の電氣的構成を示す構成図である。

【図 3】

本発明の一実施の形態例の画像形成装置を適用する画像形成装置の機械的構成を示す構成図である。

【図 4】

本発明の一実施の形態例の画像形成装置の主要部の機械構成を示す斜視図である。

【図 5】

ずれ検出の様子を示す説明図である。

【図 6】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図 7】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図 8】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図 9】

本発明の一実施の形態例の画像形成装置の電氣的な詳細構成を示すブロック図である。

【図 1 0】

本発明の一実施の形態例の画像形成装置の動作状態（ジッタ低減）を説明するタイムチャートである。

【符号の説明】

- 2 0 0 CPU
- 2 1 0 色ずれ検知センサ
- 2 5 0, 2 7 0, 2 9 0, 3 1 0 露光ユニット
- 4 1 0 ドットクロック発生部
- 4 1 1 基準クロック発生部
- 4 1 2 インデックスセンサ
- 4 1 3 第 1 デイレイチェーン部
- 4 1 4 同期検出部
- 4 1 5 同期切り替え部
- 4 1 6 セレクタ
- 4 2 0 ジッタ低減部
- 4 2 0 a 分周器
- 4 2 0 b 通倍部
- 4 2 1 分周部
- 4 2 2 分周部
- 4 2 3 位相比較器

4 2 4 チャージポンプ

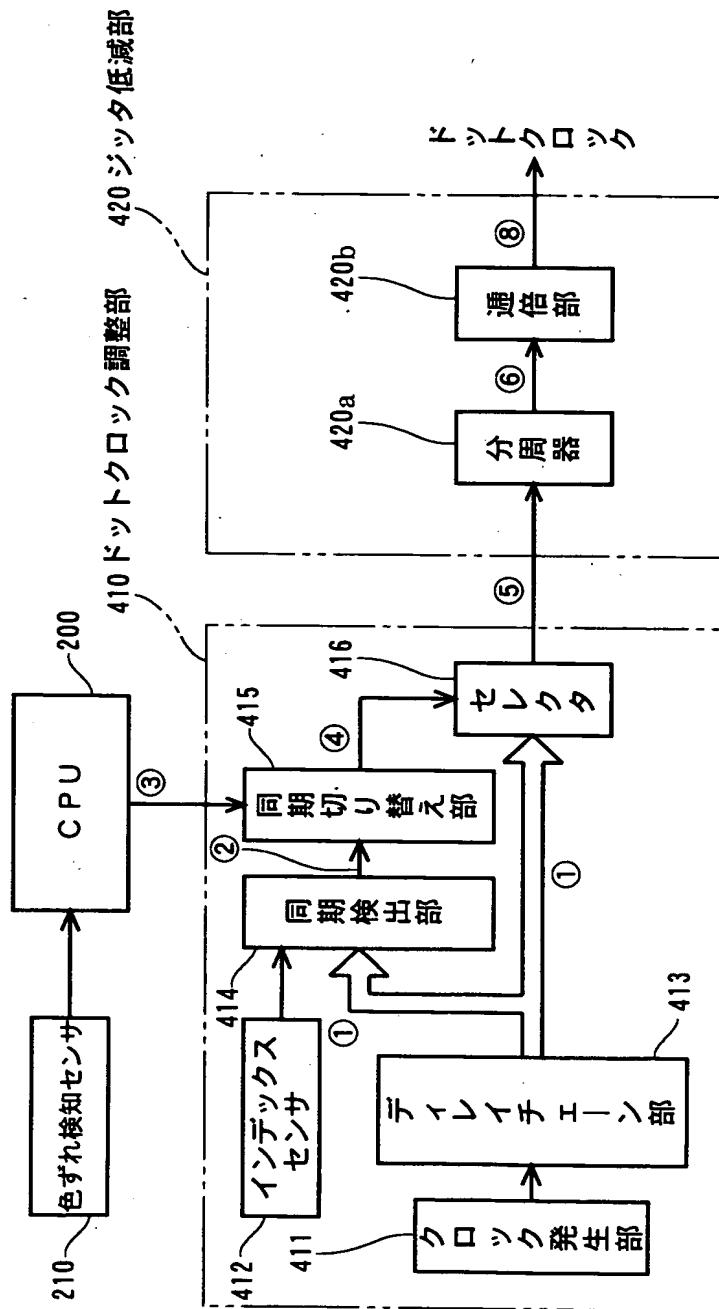
4 2 5 VCO

4 2 6 分周器

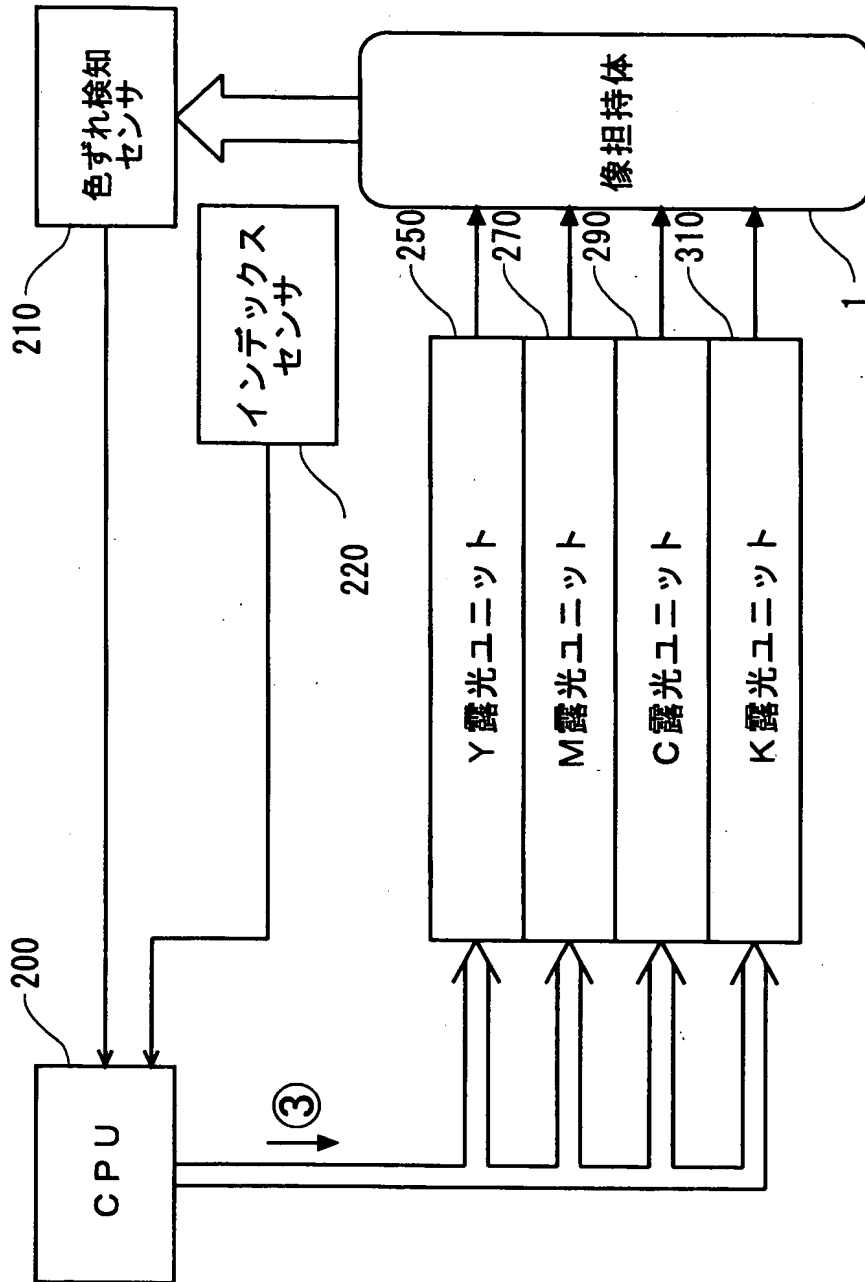
【書類名】

図面

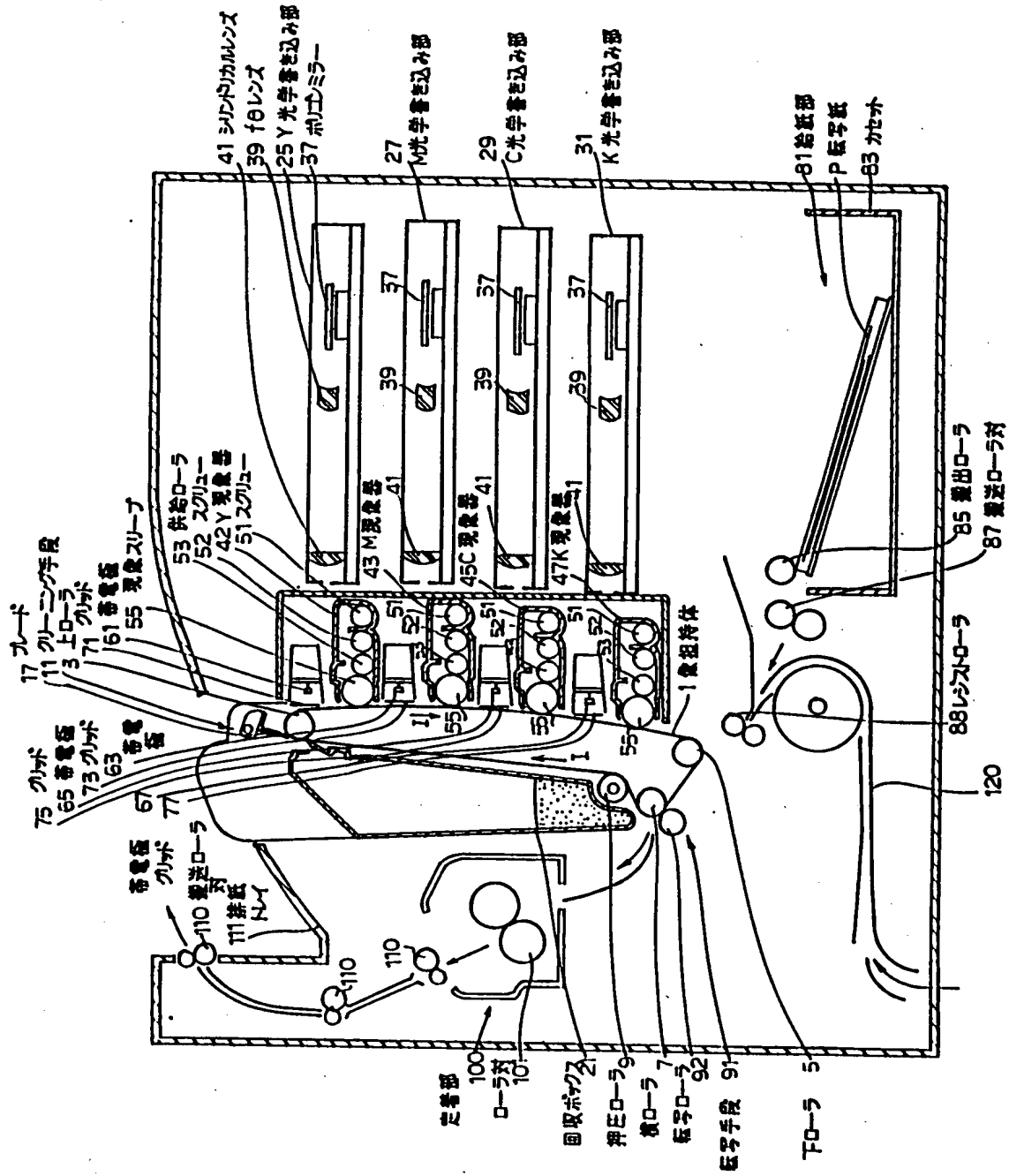
【図 1】



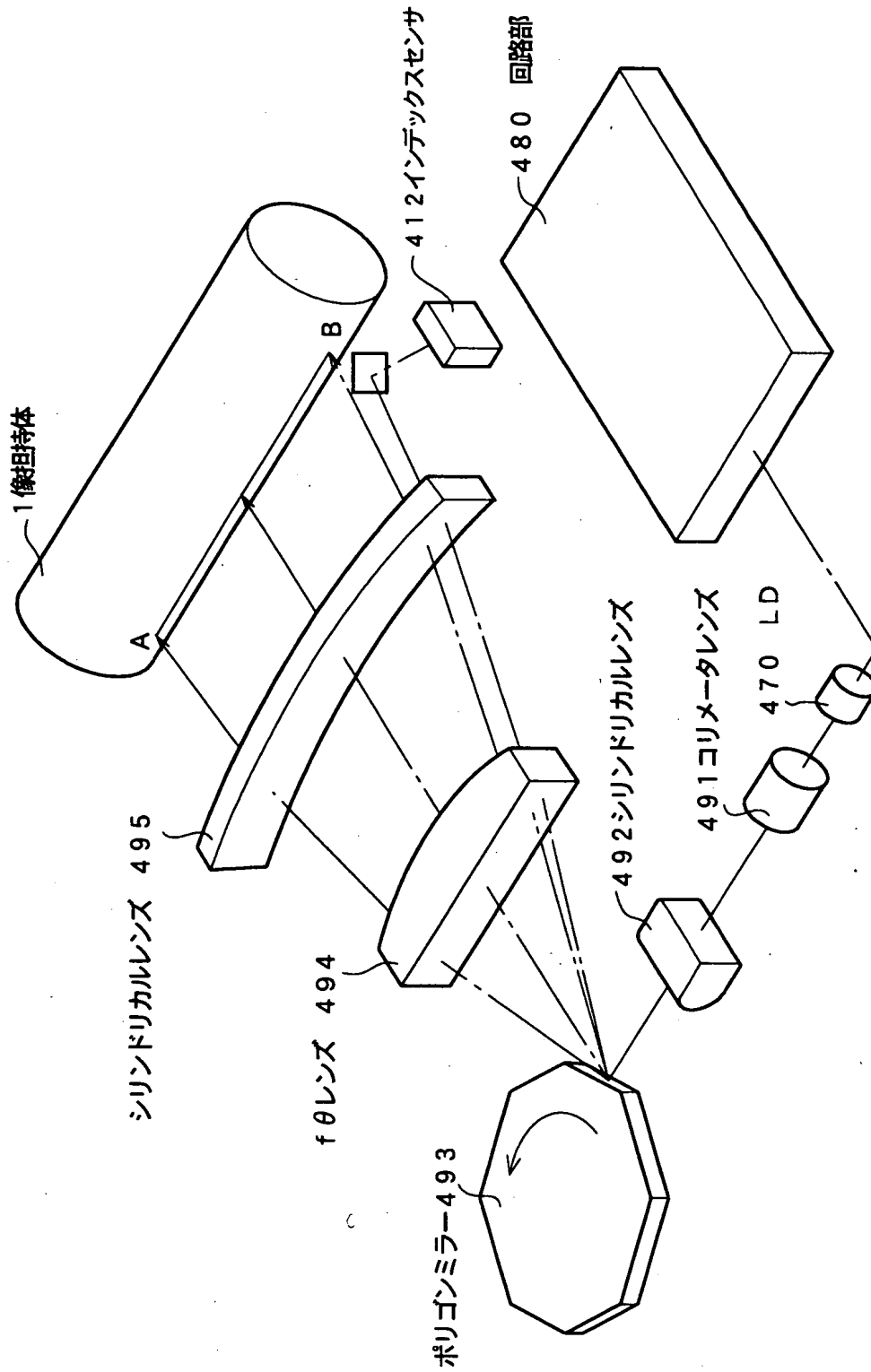
【図 2】



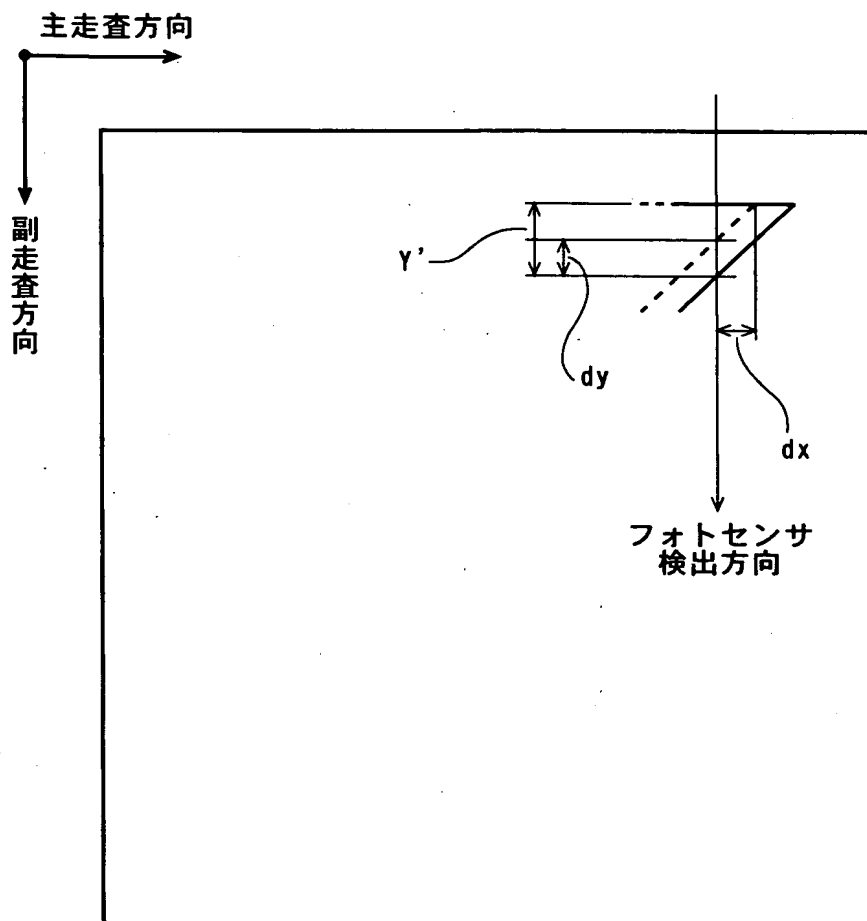
【図 3】



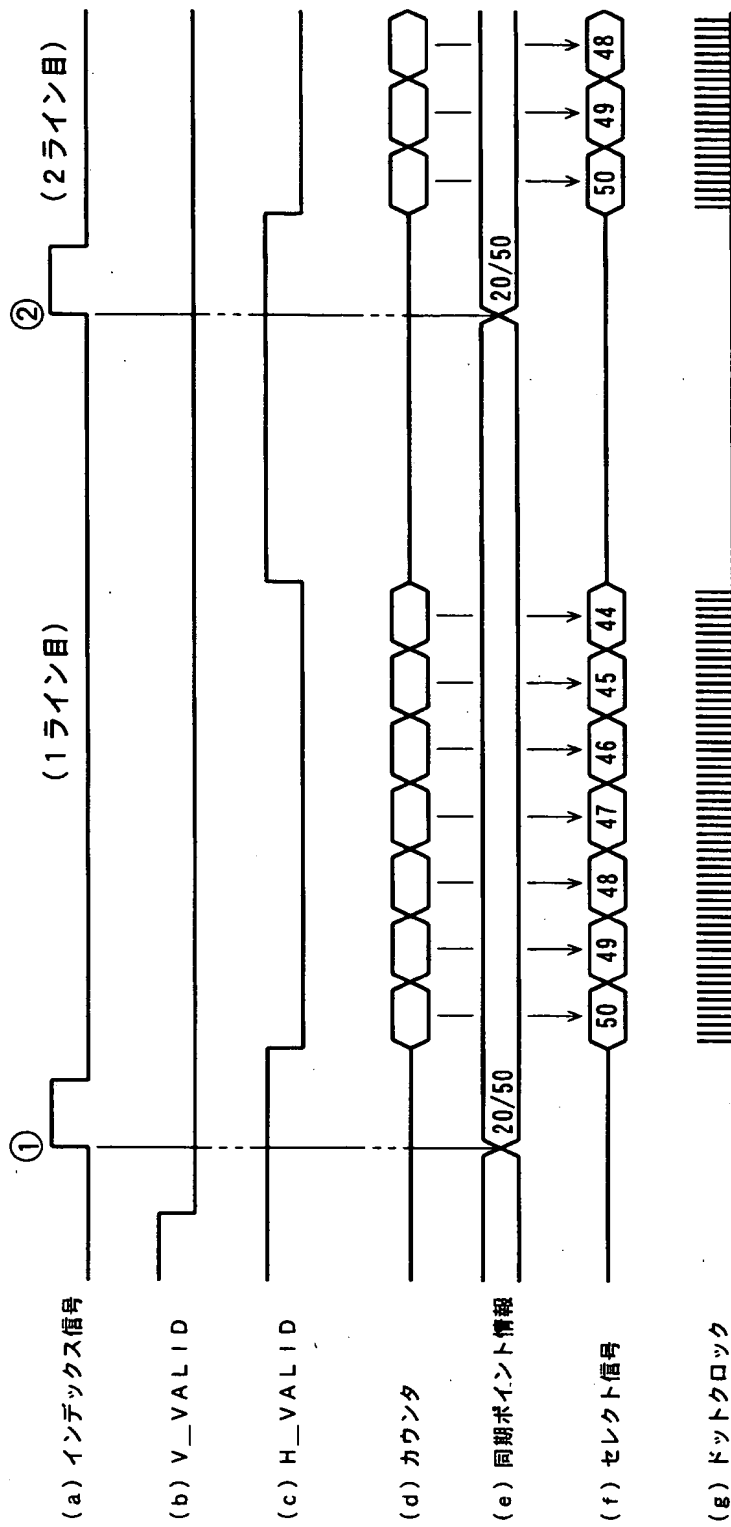
【図 4】



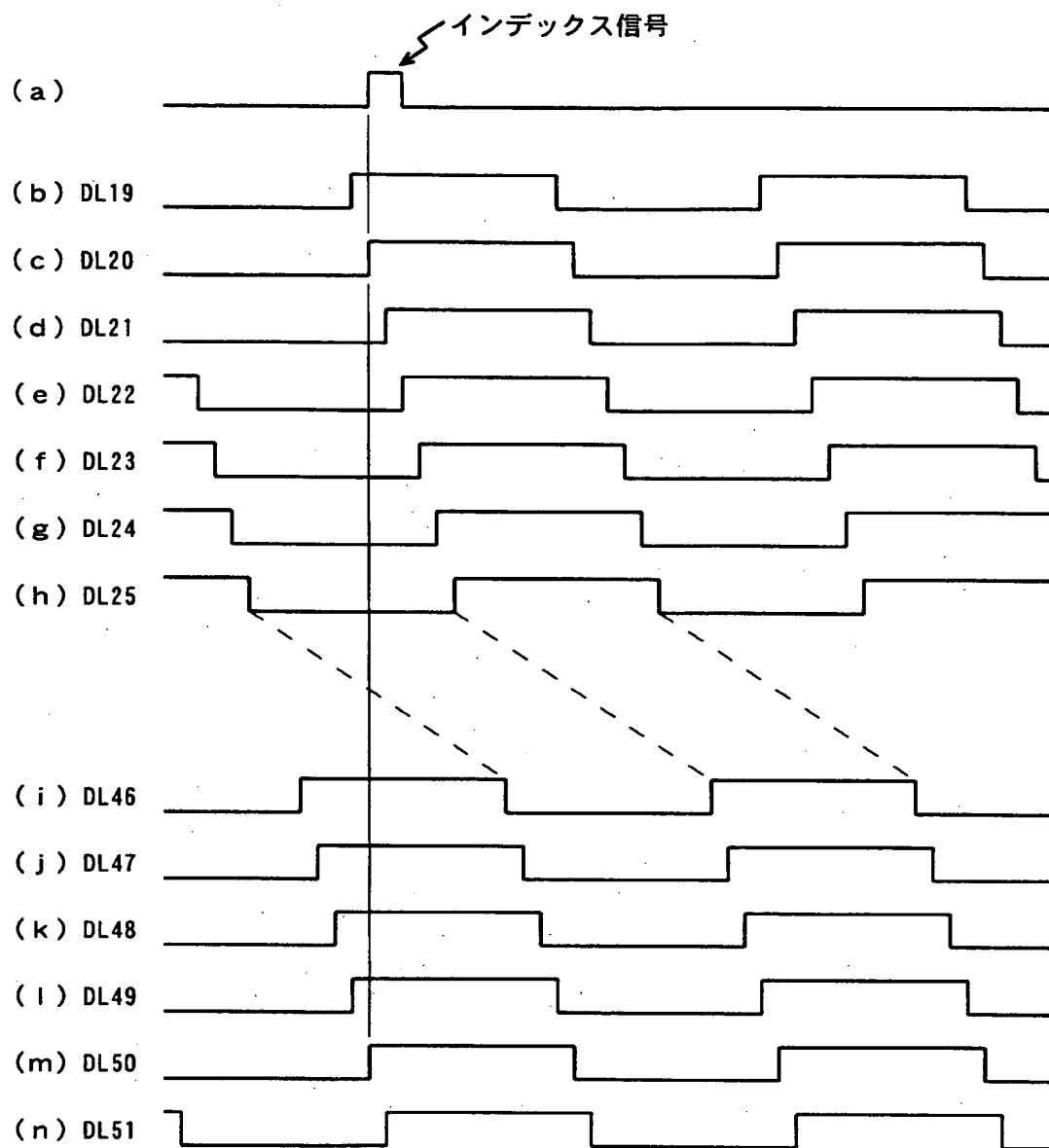
【図 5】



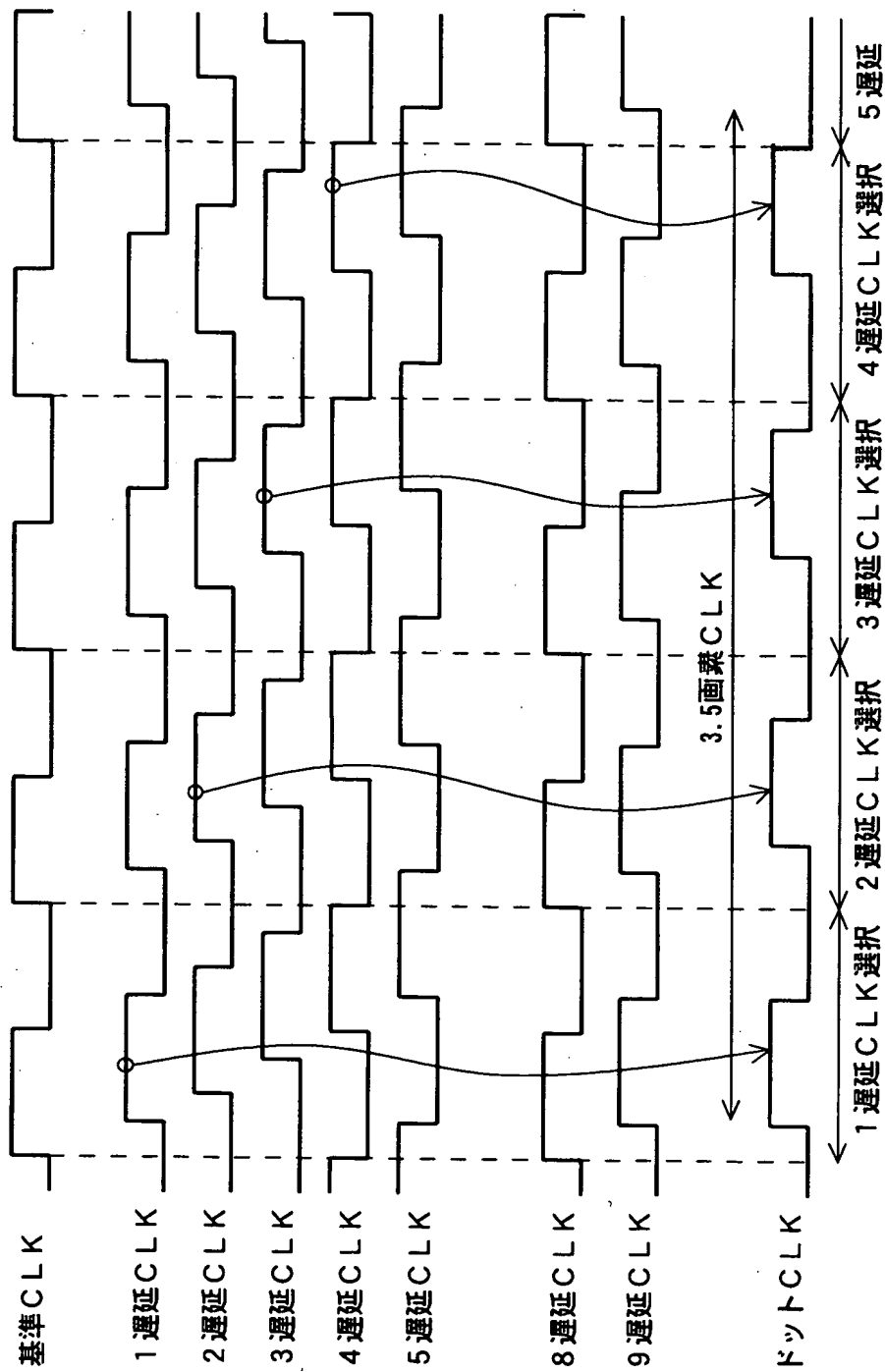
【図 6】



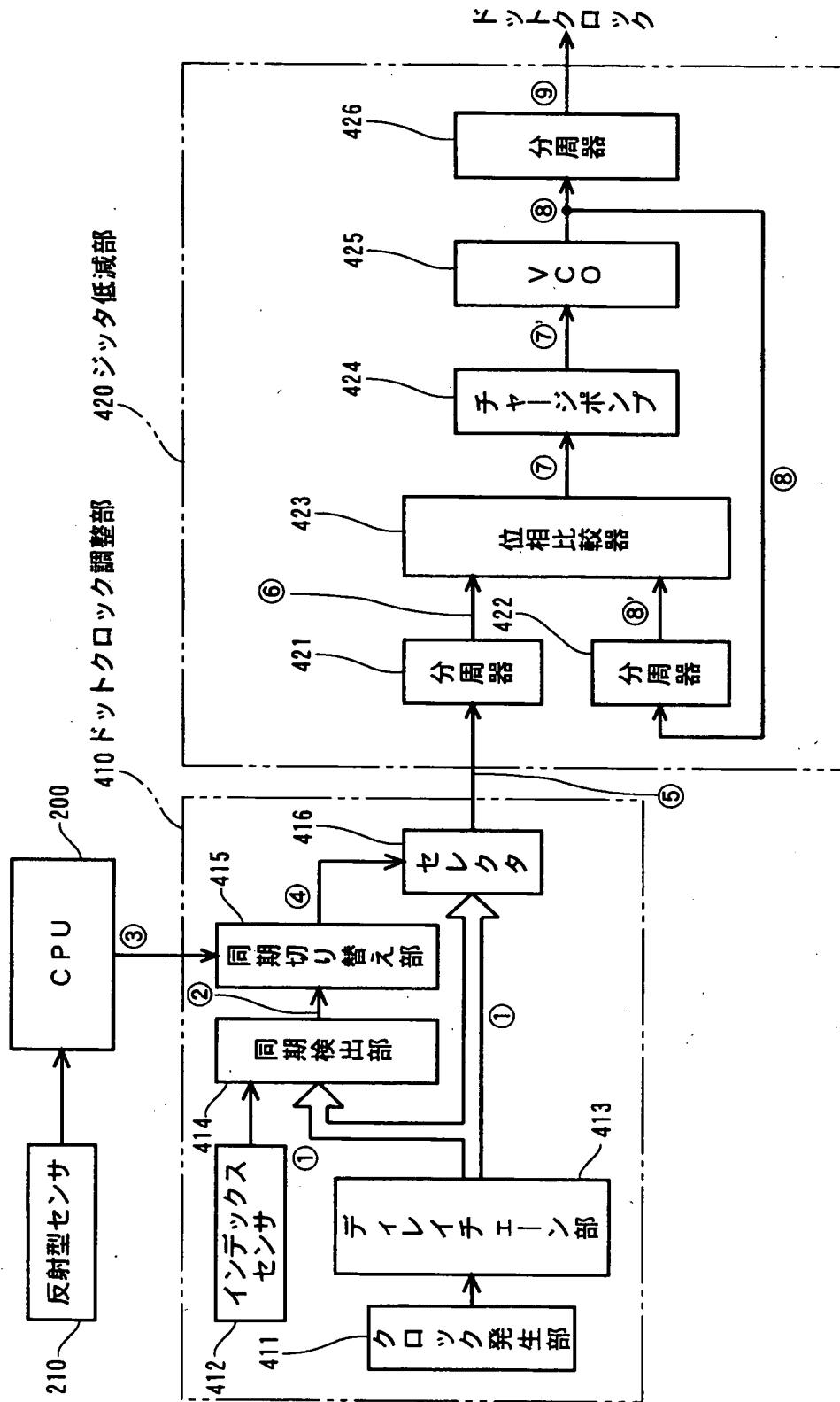
【図 7】



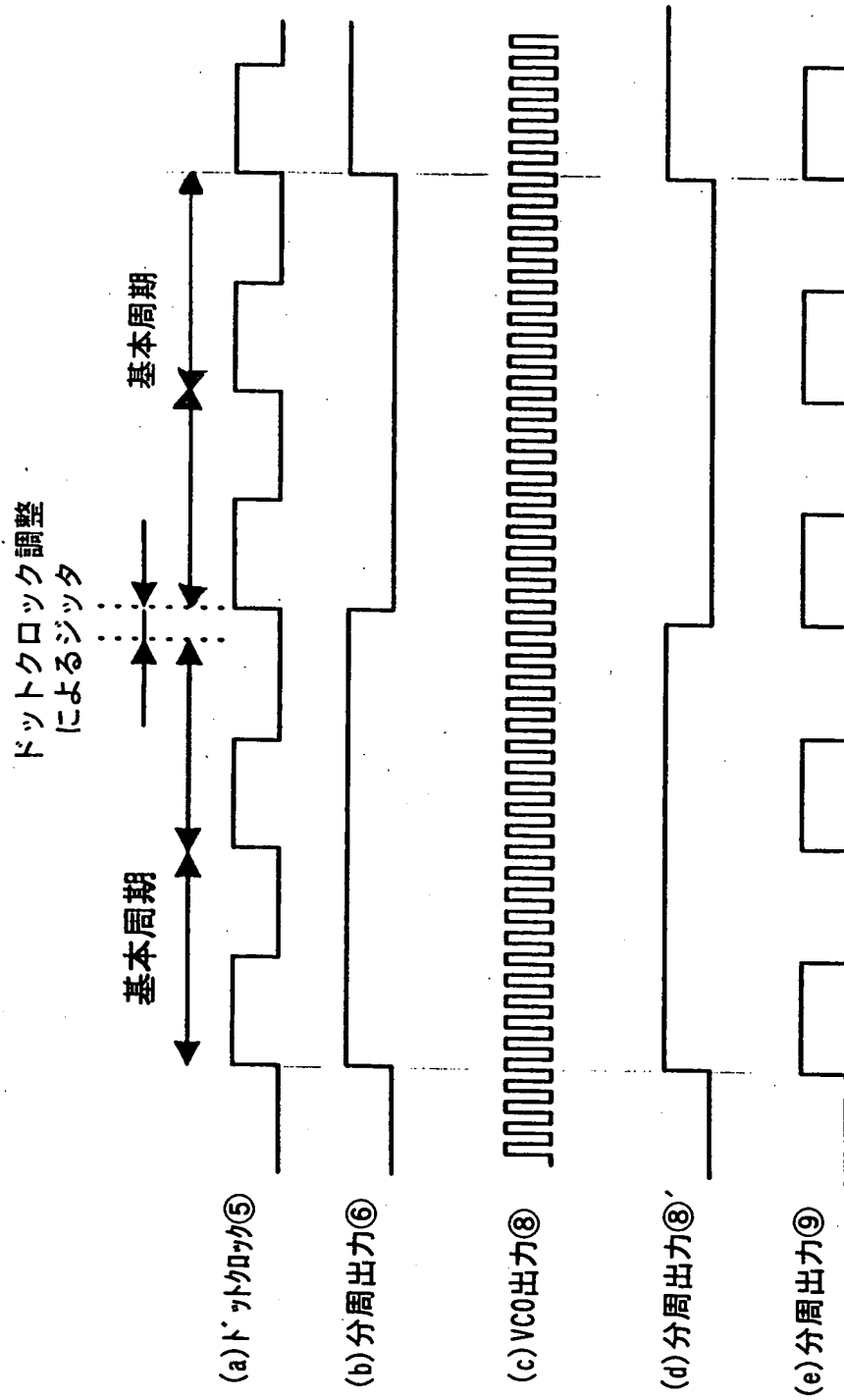
【図 8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 簡易な回路構成で、所定時間内に基準信号のパルス数が所定数になるようなドットクロックを生成した場合に、クロック周期を切り換えるポイントでのジッタの影響を低減する。

【解決手段】 基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、クロックの周期をわずかに増加もしくは減少させて、書込手段による一定の露光範囲において所定時間内に発生するドットクロックのパルス数を所定数にした信号を生成するデジタルディレイ式ドットクロック調整手段 4 1 0 と、前記デジタルディレイ式ドットクロック調整手段からのドットクロックを分周器 4 2 0 a で分周した後に通倍部 4 2 0 b で通倍することでドットクロックに含まれるジッタ成分を低減するジッタ低減手段 4 2 0 と、を備えたことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001270]

1. 変更年月日 1990年 8月14日

[変更理由] 新規登録

住 所 東京都新宿区西新宿1丁目26番2号

氏 名 コニカ株式会社